



# JURNAL TEKNIKA

Fakultas Teknik Universitas Negeri Surabaya

## Daftar Isi

### Jurusan Teknik Elektro – FT UNESA, ITATS

Pemilihan Jaringan Komunikasi Remote Area *Rig Onshore* dan *Offshore* (Edy Sulistiyo) 87

Desain dan Implementasi Alat Penguji Kerusakan *Core* (Inti) Stator Motor Listrik  
(Sudarmono, Indrati Agustinah) 96

Analisis Sistem Pengendalian Antisurge Kompresor Menggunakan  
Metode Ruang Keadaan (State Space) (Puput Wanarti Rusimanto) 106

Desain VHDL Sistem Pengirim Data Serial Asinkron 8 Bit  
(Titiek Suheta, Arief Budijanto) 113

### Jurusan Teknik Mesin – FT UNESA, ITS

Studi Eksperimen Campuran Premium TT dan Toluena ( $C_7H_8$ ) Terhadap Daya, Konsumsi  
Bahan Bakar, dan Emisi Gas Buang pada Sepeda Motor Honda Supra Fit 100cc  
(Luqman Syarief, Aisyah Endah Palupi) 119

Pengaruh Penggunaan Catalytic Converter Tembaga Berlapis Mangan Terhadap Kadar Polutan  
Gas Buang Motor Bensin Empat Langkah (Warju, Djoko Sungkono) 128

Pengaruh Penggunaan Catalytic Converter Kuningan (Cu-Zn) Terhadap Konsentrasi Polutan  
Gas Buang Motor Bensin Empat Langkah (Andi Sanata, Djoko Sungkono) 137

### Jurusan Teknik Sipil – FT UNESA

Pengaruh Tyre Soil Terhadap Daya Dukung Pondasi Dangkal, pada Tanah Ekspansif Padat  
dengan Pembasahan Menggunakan Bentuk Permodelan di Laboratorium (Nur Andajani) 146

Pemanfaatan Abu Sekam sebagai Bahan Penyusun Spesi (Robby Tamba) 153

Rencana Tata Tanam dalam Upaya Hemat Air di Ji Jepun UPTD Lenteng Kabupaten Sumenep  
(Indiah Kustin, Retno Widorini) 163

Jurnal	Vol.	No.	Hal.	Surabaya	ISSN
Teknika	7	2	87 - 173	Agustus 2006	1411 - 4356

**Daftar Isi**

<b>Jurusan Teknik Elektro – FT UNESA, ITATS</b> Pemilihan Jaringan Komunikasi Remote Area <i>Rig Onshore</i> dan <i>Offshore</i> <i>Edy Sulistiyo</i>	87 - 95
Desain dan Implementasi Alat Penguji Kerusakan <i>Core</i> (Inti) Stator Motor Listrik <i>Sudarmono, Indrati Agustinah</i>	96 - 105
Analisis Sistem Pengendalian Antisurge Kompresor Menggunakan Metode Ruang Keadaan (State Space) <i>Puput Wanarti Rusimamto</i>	106 - 112
Desain VHDL Sistem Pengirim Data Serial Asinkron 8 Bit <i>Titiek Suheta, Arief Budijanto</i>	113 - 118
<b>Jurusan Teknik Mesin – FT UNESA, ITS</b> Studi Eksperimen Campuran Premium TT dan Toluena (C <sub>7</sub> H <sub>8</sub> ) Terhadap Daya, Konsumsi Bahan Bakar, dan Emisi Gas Buang pada Sepeda Motor Honda Supra Fit 100cc <i>Luqman Syarief, Aisyah Endah Palupi</i>	119 - 127
Pengaruh Penggunaan Catalytic Converter Tembaga Berlapis Mangan Terhadap Kadar Polutan Gas Buang Motor Bensin Empat Langkah <i>Warju, Djoko Sungkono</i>	128 - 136
Pengaruh Penggunaan Catalytic Converter Kuningan (Cu-Zn) Terhadap Konsentrasi Polutan Gas Buang Motor Bensin Empat Langkah <i>Andi Sanata, Djoko Sungkono</i>	137 - 145
<b>Jurusan Teknik Sipil – FT UNESA</b> Pengaruh Tyre Soil Terhadap Daya Dukung Pondasi Dangkal, pada Tanah Ekspansif Padat dengan Pembasahan Menggunakan Bentuk Permodelan di Laboratorium <i>Nur Andajani</i>	146 - 152
Pemanfaatan Abu Sekam sebagai Bahan Penyusun Spesi <i>Robby Tamba</i>	153 - 162
Rencana Tata Tanam dalam Upaya Hemat Air di Ji. Jepun UPTD Lenteng Kabupaten Sumenep <i>Indiah Kustini, Retno Widorini</i>	163 - 173

---

## DESAIN VHDL SISTEM PENGIRIM DATA SERIAL ASINKRON 8 BIT

Titiek Suheta, Arief Budijanto  
Institut Teknologi Adhi Tama Surabaya

### Abstrak

Dalam paper ini melaporkan hasil perancangan sistem pengirim data serial asinkron 8 bit yang dibangun dari beberapa blok rangkaian digital yaitu rangkaian control yang merupakan rangkaian kombinasional, rangkaian counter, register dan multiplexer. Pada perancangan sistem ini menggunakan metode Algoritmik State Machine (ASM) sebagai tahapan pertama, kemudian merepresentasikan dengan bentuk table keadaan. Langkah berikut melakukan verifikasi dengan VHDL tools dari Altera Maxplus 9.5. Hasil simulasi yang diperlihatkan pada gambar 8. dan gambar 9. sudah sesuai dengan perancangan menggunakan ASM.

**Keywords:** Pengirim Data Serial, ASM, VHDL.

### Abstract

In this paper, reported the result of the design of eight bit asinkron serial data sender system is built from digital connection is the control connection or combination connection, counter connection, register and multiplexer. In this design system, uses ASM method as the first step is doing verification with VHDL tools from altera maxplus 9.5. The result of simulation is shown in picture 8 and 9 is suitable with the design using ASM.

**Key words:** Serial data sender, ASM, VHDL.

### 1. Pendahuluan

Komunikasi adalah proses transfer informasi dari satu sumber ke tujuan. Sistem komunikasi antara dua buah atau lebih komputer dapat dilakukan dengan cara paralel atau serial. Pada komunikasi data secara paralel memiliki kecepatan transfer data yang lebih cepat dibandingkan secara serial, tetapi kabel yang digunakan sebanyak lebar bus data yang akan dikirim. Jika lebar busnya 8 bit maka kabel yang digunakan sebanyak delapan saluran. Hal ini merupakan pemborosan. Sedangkan pada komunikasi data secara serial penggunaan kabel yang banyak dapat direduksi menjadi satu kabel saja dan ini merupakan penghematan dari segi biaya.

Pada tugas kuliah ini kami akan merancang sebuah rangkaian logik sistem pengirim data serial asinkron 8 bit. Pada perancangan dilakukan dengan tahapan sebagai berikut :

1. Merancang diagram *Algoritmik State Machine* (ASM)
2. Tabel keadaan *present state-next state*
3. Mengimplementasikan dalam code program VHDL dan

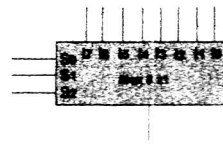
mensimulasikannya untuk keperluan verifikasi.

### 2. Teori

Dalam perancangan sistem digunakan beberapa blok-blok rangkaian logik yaitu multiplexer, register, counter dan gerbang-gerbang logika tambahan. Berikut ini akan kami jelaskan teori dari blok-blok rangkaian logik tersebut.

#### 2.1 Multiplexer

Multiplexer adalah sebuah rangkaian kombinasional dengan input-input data  $2^n$ , satu output data, dan input-input kontrol  $n$  yang memilih salah satu dari input-input data. Input data yang dipilih "diarahkan" (yaitu, dikirim) ke output. Gambar 3. adalah sebuah diagram blok untuk sebuah multiplexer  $8 \times 1$ .



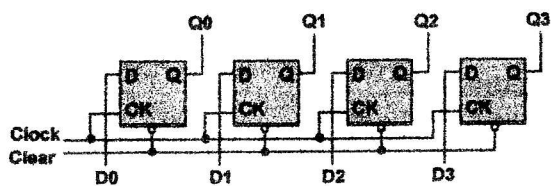
Gambar 1. Diagram Blok Multiplexer  $8 \times 1$   
Sumber : Rancangan Penelitian Maret 2005

Tabel 1.  
Tabel Fungsi Multiplexer 8x1

S2	S1	S0	Output F
0	0	0	I0
0	0	1	I1
0	1	0	I2
0	1	1	I3
1	0	0	I4
1	0	1	I5
1	1	0	I6
1	1	1	I7

## 2.2 Register

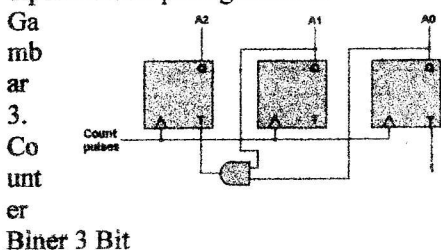
Register merupakan sekelompok dari beberapa flip-flop yang disusun menjadi suatu rangkaian logik, dimana tiap-tiap flip-flopnya dapat menyimpan satu bit data. Sehingga sebuah register *n* bit dapat dikatakan sebuah register yang menggunakan *n* buah flip-flop sebagai sel registernya. Misal register paralel 4 bit, maka register ini tersusun dari 4 buah flip-flop sebagai sel registernya.



Gambar 2. Register Paralel 4 Bit  
Sumber : Rancangan Penelitian Maret 2005

## 2.3 Counter

Counter adalah sebuah rangkaian sekuensial yang dapat menentukan sebuah urutan dari keadaan dengan memberikan masukan pulsa. Masukan pulsa tersebut dengan *count pulse* atau pulsa clock berikut rangkaian counter biner 3 bit yang dibangun dari tiga buah flip-flop dan gerbang AND diperlihatkan pada gambar 3.

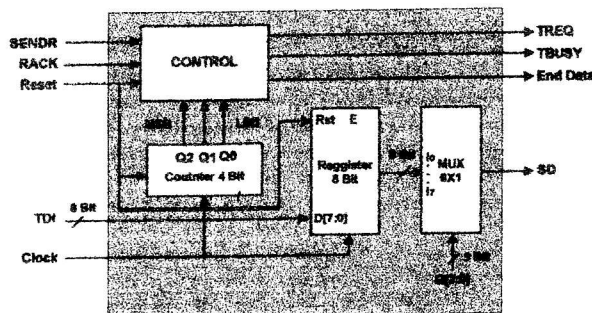


Biner 3 Bit

Sumber : Rancangan Penelitian Maret 2005

## 3. Desain Sistem

Diagram blok sistem pengirim data serial asinkron 8 bit diperlihatkan pada gambar 4.



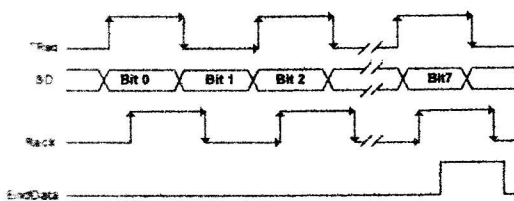
Gambar 4. Diagram Blok Pengolah Data dan Kontrol Sistem Pengirim Data Asinkron.  
Sumber : Hasil Penelitian Maret 2005

### 3.1 Protokol Transfer Data Serial

Protokol transfer data serial dikontrol oleh dua sinyal handshaking, yaitu REQUEST (TREQ) dan ACKNOWLEDGE (RACK), seperti diperlihatkan pada Gambar 4. Permintaan untuk mengirimkan data dilakukan oleh pengirim. Hal ini dilakukan dengan membuat transisi dari logika '0' ke logika '1', atau sebaliknya, pada jalur sinyal TREQ. Pada saat yang bersamaan, atau sebelumnya, bit data yang akan ditransfer diletakkan pada jalur SERIAL DATA (SD) oleh pengirim. Sistem penerima merespon transisi pada jalur TREQ dengan melakukan transisi yang sama pada jalur RACK sambil membaca bit data. Prosedur ini berulang terus untuk setiap data yang dikirimkan. Selain itu juga bahwa pengirim mendeteksi transisi pada sinyal RACK sebelum mentransmisikan data yang berikutnya. Proses ini merupakan proses asinkron karena transmitter dan receiver mungkin bekerja pada kecepatan (clock) yang berlainan. EndData adalah saluran yang akan mengeluarkan sinyal tinggi ketika data telah terkirim semuanya (8 bit).

Tabel 2. Fungsi Pin-Pin Sistem Pengirim Data Serial

Nama Sinyal	Jenis	Fungsi
SENDR	Masukan	Sinyal permintaan pengiriman data paralel dari divais luar
TBUSY	Keluaran	Status kesiapan pengirim menerima data paralel dari divais luar
TDI[7:0]	Masukan	Data masukan paralel 8 bit
TREQ	Keluaran	Permintaan pengirim untuk mengirim data serial ke penerima
RACK	Masukan	Pemberitahuan dari penerima bahwa ia siap menerima data serial
SD	Keluaran	Data keluaran Serial
Clk	Masukan	Clock
EndData	Keluaran	Sinyal indikator akhir dari pengiriman data 8 bit (logik 1)
Reset	Masukan	Sinyal reset untuk mereset control unit, counter dan register



Gambar 5. Protokol Transfer Data Serial  
Sumber : Rancangan Penelitian April 2005

### 3.2 Protokol Transfer Data Paralel

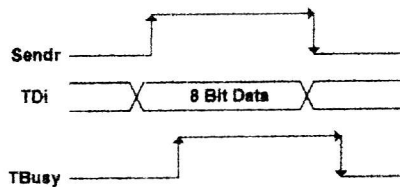
Protokol transfer data paralel dikontrol oleh dua sinyal handshaking, yaitu SEND REQUEST (SENDR) dan TRANSMITTER BUSY (TBUSY), seperti diperlihatkan pada Gambar 5. Data paralel 8 bit ditransfer melalui jalur RD0 oleh penerima ke rangkaian eksternal dalam empat fasa:

- **Fasa 1**  
Divais Eksternal meletakkan data pada jalur TDI dan menaikkan sinyal SENDR ke logika '1'.
- **Fasa 2**  
Rangkaian Penerima mendeteksi transisi pada jalur sinyal SENDR, membaca data dan merespon dengan menaikkan sinyal TBUSY ke logika '1'.
- **Fasa 3**  
Divais Eksternal mendeteksi transisi pada jalur sinyal TBUSY, membuang

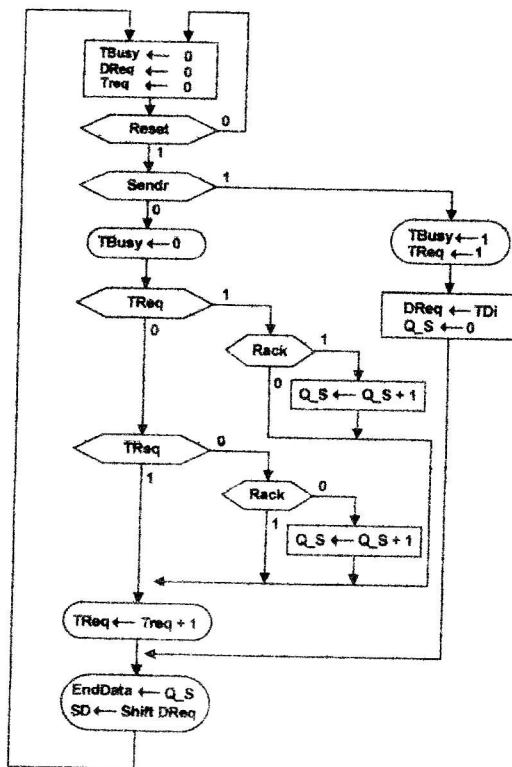
data pada jalur TDI dan mereset sinyal SENDR ke logika '0'.

- **Fasa 4**  
Rangkaian Penerima mendeteksi transisi pada jalur sinyal SENDR dan merespon dengan mereset Sinyal TBUSY ke logika '0'.

Keempat fasa tersebut akan berulang terus setiap kali akan dikirimkan data paralel berikutnya



Gambar 6. Protokol Transfer Data Paralel  
Sumber : Rancangan Penelitian April 2005



Gambar 7. ASM Chart Sistem Pengirim Data Serial Asinkron 8 Bit

#### 4. Hasil Simulasi

Pertama kali dalam melakukan simulasi adalah memberikan sinyal Reset dengan logika rendah, yang akan mengakibatkan output counter menjadi biner "000", Register (Dreq\_S = "00000000"), Tbusy = '0', TReq = '0' dan EndData = '0' (Lihat gambar 8). Sinyal Reset pada kondisi rendah hanya berlangsung sesaat (selama 30 ns), kemudian berubah pada kondisi tinggi.

Langkah kedua kita berikan sinyal Sendr dengan logika tinggi (diasumsikan dari divais luar) maka system akan memberikan tanggapan dengan memberikan sinyal TBusy dengan logika tinggi ke divais luar yang berarti sistem siap menerima data parallel 8 bit (data biner = "10010111") yang dikirim dari divais luar ke port Tdi yang akan disimpan dalam register Dreq dan output counter masih dalam kondisi rendah (Q\_S = "000"). Pada

saat yang sama sinyal TReq dalam kondisi tinggi yang dikirim ke divais luar sebagai sinyal informasi bahwa sistem akan mengirim data biner 8 bit secara serial ke divais luar, kemudian divais luar akan memberikan tanggapan berupa sinyal Rack dalam kondisi tinggi yang menandakan bahwa divais luar siap menerima pengiriman data serial 8 bit dari sistem.

Untuk mengetahui bahwa pengiriman data serial 8 bit sudah selesai, system memberikan sinya EndData dengan logika tinggi ke divais luar (lihat gambar 9). Demikian seterusnya proses tersebut dilakukan.

#### 5. Kesimpulan

Dari hasil perancangan dan hasil simulasi dapat ditarik kesimpulan sebagai berikut:

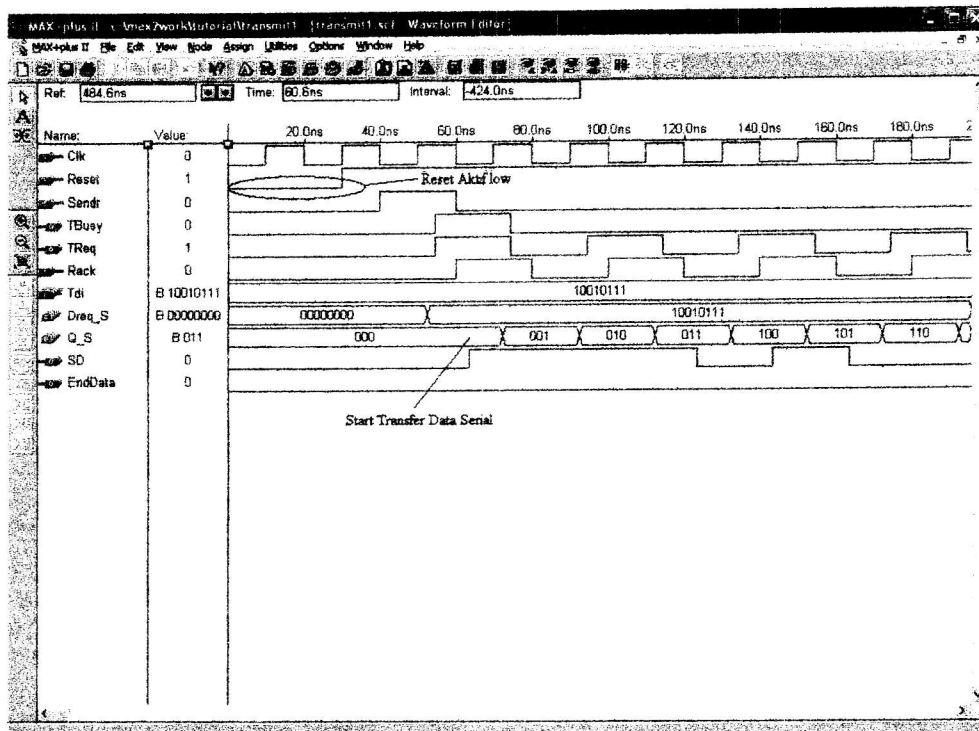
- Pada rangkaian kontrol terdiri dari empat state yaitu "00", "01", "10", dan "11".
- Pada rangkaian counter terdiri dari 8 buah state yaitu "000", "001", "010", "011", "100", "101", "110" dan "111".
- Hasil simulasi sudah sesuai dengan protocol transfer data yang dirancang.

#### Referensi

1. M. Morris Mano, Charles R.kime, Logic and Computer Design Fundamental, Prentice-Hall, USA,1997.
2. M. Morris Mano, Dgital Design, Prentice-Hall,USA,1984.
3. Zainal A. Navabi, VHDL Analysis and Modeling of Digital System. Mc-Graw Hill, Inc, Singapore, 1993.
4. Douglas J. Smith, HDL Chip Design, Doone Publications. USA, 1996.
5. David Green, Modern Logic Design, Addison-Wesley Pub.Company,Inc,

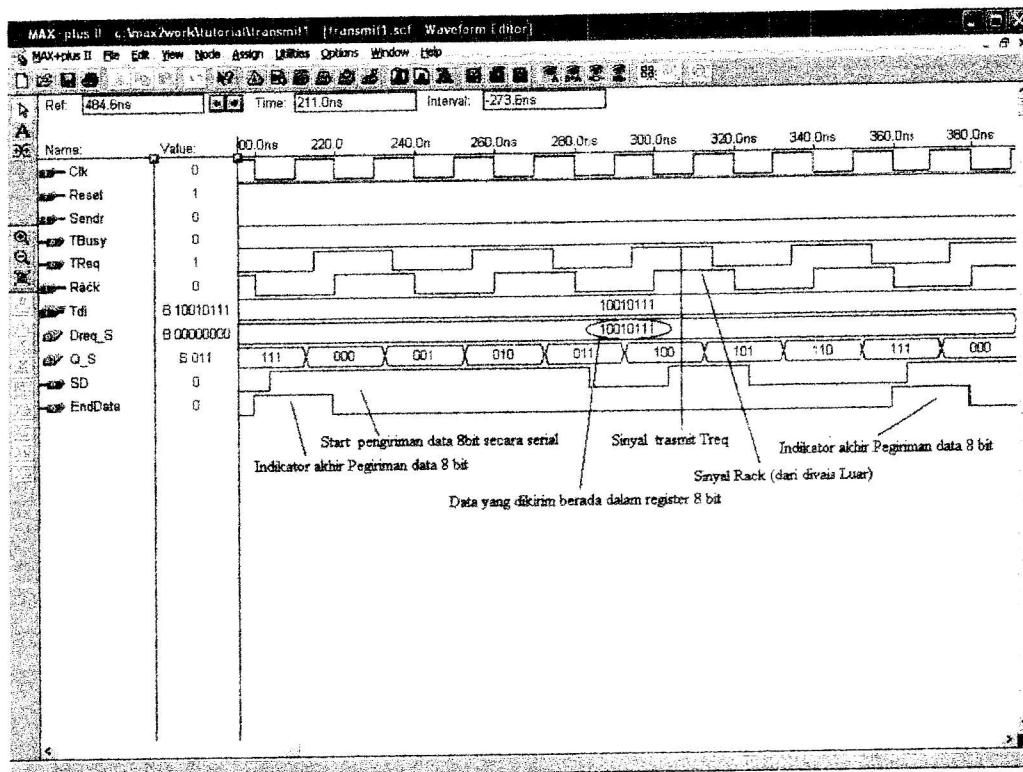
Tabel 2. Keadaan Rangkaian Pengolah data & Kontrol

Present State		Input			Next State		Output			Output Counter			Register
A	B	Rst	Sendr	Rack	A	B	TBusy	TReq	EndData	Q2	Q1	Q0	D7-D0
0	0	0	x	x	0	0	0	0	0	0	0	0	00000000
0	0	1	0	0	0	0	0	0	0	0	0	0	00000000
0	0	1	0	1	0	1	0	0	0	0	0	0	00000000
0	1	1	1	x	1	0	1	1	0	0	0	0	SD ← Shift Dreq
1	0	1	0	1	1	1	0	0	0	0	0	1	SD ← Shift Dreq
1	1	1	0	0	1	0	0	1	0	0	1	0	SD ← Shift Dreq
1	0	1	0	0	1	1	0	1	0	0	1	1	SD ← Shift Dreq
1	1	1	0	1	1	0	0	0	0	1	0	0	SD ← Shift Dreq
1	0	1	0	0	1	1	0	1	0	1	0	1	SD ← Shift Dreq
1	1	1	0	1	1	0	0	0	0	1	1	0	SD ← Shift Dreq
1	0	1	0	0	1	1	0	1	1	1	1	1	SD ← Shift Dreq



Gambar 8. Hasil Simulasi Sistem Pengirim Data Serial Asinkron 8 Bit (1)  
Sumber : Hasil Penelitian April 2005

Desain VHDL Sistem Pengirim Data Serial Asinkron 8 Bit  
(Titiek Suheta, Arief Budijanto)



Gambar 9. Hasil Simulasi Sistem Pengirim Data Serial Asinkron 8 Bit (2)  
Sumber : Hasil Penelitian April 2005